

- (19) 【発行国】 日本国特許庁 (J P)  
 (12) 【公報種別】 公開特許公報 (A)  
 (11) 【公開番号】 特開平 5 - 9 0 6 0 6  
 (43) 【公開日】 平成 5 年 ( 1 9 9 3 ) 4 月 9 日  
 (54) 【発明の名称】 半導体装置  
 (51) 【国際特許分類第 5 版】

H01L 29/788

29/792

G11C 11/22

8522-5L

【 F I 】

H01L 29/78

371

8225-4M

【審査請求】 未請求

【請求項の数】 1

【全頁数】 3

- (21) 【出願番号】 特願平 3 - 2 4 5 8 5 9  
 (22) 【出願日】 平成 3 年 ( 1 9 9 1 ) 9 月 2 5 日  
 (71) 【出願人】

【識別番号】 0 0 0 0 0 2 3 6 9

【氏名又は名称】 セイコーエプソン株式会社

【住所又は居所】 東京都新宿区西新宿 2 丁目 4 番 1 号

(72) 【発明者】

【氏名】 竹中 計廣

【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

(74) 【代理人】

【弁理士】

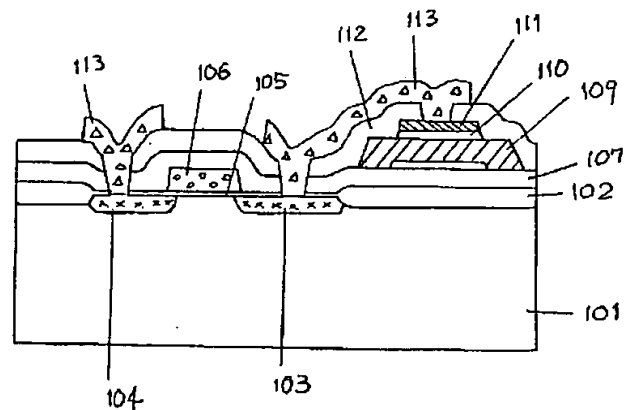
【氏名又は名称】 鈴木 喜三郎 (外 1 名)

(57) 【要約】

【目的】 強誘電体キャパシタを用いた半導体装置において、Al 配線形成後も高温処理を可能とする。

【構成】 強誘電体キャパシタの電極として、Pt と Ti、TiN などの積層電極を用いることにより、配線電極である Al と Pt の反応を阻止する。

【効果】 Ti、TiN などの金属により、Al と Pt との反応が防げるため、Al 電極形成後でも、500℃程度の熱処理が可能となり、信頼性の高い半導体装置が形成できる。



## 【特許請求の範囲】

【請求項1】強誘電体からなるキャパシタと、MOSトランジスタが同一半導体基板上に集積化された半導体装置において、前記強誘電体からなるキャパシタの上部電極が、前記強誘電体膜と接するPtまたはPdを主成分とする第1導電膜と、前記第1導電膜上に積層されたTi、TiN、TiW、MoSiの何れかを主成分とした第2導電膜からなることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、強誘電体からなるキャパシタを用いた半導体メモリ、その中でも特に電氣的に書換可能な不揮発性メモリの構造に関するものである。

## 【0002】

【従来の技術】従来の不揮発性メモリとしては、絶縁ゲート中のトラップ、または浮遊ゲートにシリコン基板からの電荷を注入することによりシリコン基板の表面ポテンシャルが変調される現象を用いた、MIS型トランジスタが一般に使用されており、EPROM（紫外線消去型不揮発性メモリ）やEEPROM（電氣的書換可能型不揮発性メモリ）などとして実用化されている。

## 【0003】

【発明が解決しようとする課題】しかしこれらの不揮発性メモリは、情報の書換電圧が、通常20V前後と高いことや、書換時間が非常に長い（例えばEEPROMのばあいには数十msec）等の欠点を有する。また、情報の書換回数が約10万回程度であり、繰り返し使用する場合には問題が多い。

【0004】電氣的に分極が反転可能である強誘電体を用いた不揮発性メモリに関しては書き込み時間と読みだし時間が原理的にほぼ同じであり、また電源を切っても分極は保持されるため、理想的な不揮発性メモリとなる可能性を有する。この様な強誘電体を用いた不揮発性メモリについては、例えば米国特許4149302のように、シリコン基板上に強誘電体からなるキャパシタを集積した構造や、米国特許3832700の様にMIS型トランジスタのゲート部分に強誘電体膜を配置した不揮発性メモリ等の提案がなされている。また、最近ではMOS型半導体装置に強誘電体キャパシタを積層した構造の不揮発性メモリがIEDM'87、pp. 850-851に提案されている。このような強誘電体キャパシタを積層した構造の不揮発性メモリにおいては、強誘電体膜の電極としてPtなどを用い、配線電極のAlにより、集積回路を構成する。強誘電体キャパシタの電極部分では、PtとAlが接触するが、PtとAlは低温（約300C）でも容易に反応するため、Al配線後のパッシベーション膜の形成（通常400C）ができないなどの問題がある。また、かりにポリイミド膜などの低温で形成が可能なパッシベーション膜を用いたとしても長期信頼性、特に高温動作時の長期信頼性が確保できな

いという問題もある。そこで本発明はこのような課題を解決するもので、その目的とするところはAl配線形成後でも高温処理が可能で長期信頼性も優れた強誘電体メモリを提供するところにある。

## 【0005】

【課題を解決するための手段】本発明は、強誘電体からなるキャパシタと、MOSトランジスタが同一半導体基板上に集積化された半導体メモリにおいて、強誘電体からなるキャパシタの上部電極が、強誘電体膜と接するPtと、Pt上に積層され、配線電極であるAlと接触するTi、TiNなどからなることを特徴とする。

## 【0006】

【作用】本発明の半導体装置の構造によると、Pt電極上に積層されたTi、TiNなどは、PtとAlとの反応を阻止するバリアメタルとして働き、Al電極形成後でも高温処理が可能となる。また、PtとTiの積層電極を同時にエッチングするような製造方法にすれば、特に製造工程が増える事なく本発明の構造が実現できる。

## 【0007】

【実施例】以下、本発明の半導体装置の一実施例に於ける主要断面図である。以下、図1に従い、本発明の半導体装置を説明する。また、ここでは、説明の都合上Si基板を用い、Nチャンネルトランジスタを用いた例につき説明する。

【0008】101はP型Si基板であり、例えば200 $\Omega$ cmの比抵抗のウェハを用いる。102は素子分離用の絶縁膜であり、例えば従来技術であるLOCOS法により酸化膜を6000Å形成する。103はソースとなるN型拡散層であり、例えばリンを80KeV、5E15cm<sup>-2</sup>イオン注入することにより形成する。104はドレインとなるN型拡散層であり、103のソース拡散層と同時にイオン注入法により形成する。105はゲート酸化膜であり、例えば熱酸化法により、300Å形成する。106はゲート電極であり例えばリンでドーパされたポリシリコンを5000Å形成する。107は106のポリシリコン形成後に形成された層間絶縁膜であり、例えば4000ÅのCVD-SiO<sub>2</sub>を形成する。108が強誘電体キャパシタの一方の電極であり、例えばPtを4000Å、スパッタ法により形成する。109が強誘電体膜であり、例えばPbTiO<sub>3</sub>、PZT、PLZTなどをスパッタ法で5000Å形成する。

【0009】110が本発明の構成要素の一つである例えばPtであり、例えばスパッタ法により3000Å形成し、109の強誘電体膜に接して電極となる。そして、111が本発明の他の構成要素である例えばTiやTiNであり、同じく例えばスパッタ法によりTiを1500Å形成する。113は配線電極となる例えばAlであり、112の配線電極と強誘電体キャパシタとの間の層間絶縁膜を形成した後、例えば1ミクロン、スパッ

タ法により形成する。

【0010】本発明においては、113の配線電極は111のTiやTiNと接しているため、Al電極の形成後にも500℃前後の熱処理が可能であり、十分にパッシベーションなどの形成に耐え得る。また、強誘電体膜に直接、接しているのはPtであり、強誘電体キャパシタの特性も向上する。

【0011】本発明のような構造とすることにより、110の強誘電体膜の電極を、配線電極であるAlとの反応性を気にする事なく選定できる。また111の導電膜はPtとAlとの反応を阻止することが目的であるため、Ti、TiN、TiW、MoSiなどから選定できる。

【0012】さらに、本発明の主旨である110と111の積層膜の形成方法に関しては、110と111を同時にエッチングするような工程とすることにより、殆ど工程増がなく本発明を実現できる。

【0013】

【発明の効果】以上説明してきたように、本発明のように、強誘電体からなるキャパシタと、MOSトランジスタが同一半導体基板上に集積化された半導体装置におい

て、強誘電体からなるキャパシタの上部電極を、Ptを主成分とする導電膜と、Ti、TiNなどの積層構造とすることにより、配線電極であるAlの形成後に高温処理が可能な半導体装置が得られるという効果を有する。

【図面の簡単な説明】

【図1】本発明の実施例の主要断面図である。

【符号の説明】

- 101・・・Si基板
- 102・・・素子分離膜
- 103・・・ソース拡散層
- 104・・・ドレイン拡散層
- 105・・・ゲート酸化膜
- 106・・・ゲート電極
- 107・・・層間絶縁膜
- 108・・・下部電極
- 109・・・強誘電体膜
- 110・・・上部Pt電極
- 111・・・上部Ti電極
- 112・・・層間絶縁膜
- 113・・・Al配線電極

【図1】

